

⑨ Int. Cl.⁴

G 02 F 1/133

識別記号

3 3 2

3 3 0

庁内整理番号

7348-2H

D-7348-2H

8621-5C

B-7245-5C

⑬ 公開 昭和62年(1987)10月1日

G 09 G 3/36
H 04 N 5/66

1 0 2

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 アクティブマトリックス型液晶ディスプレイの駆動方法

⑮ 特 願 昭61-65872

⑯ 出 願 昭61(1986)3月26日

⑰ 発 明 者 鈴木 幸 治 川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑱ 出 願 人 株式会社東芝 川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 則近 憲佑 外1名

明 細 書

1. 発明の名称

アクティブマトリックス型液晶ディスプレイの駆動方法

2. 特許請求の範囲

(1) 複数本のアドレスライン及びデータラインを線順次駆動させる際に、一アドレスラインに対応した画像データが転送されてくる一走査期間内に、複数本のアドレスラインを線順次駆動させることを特徴とするアクティブマトリックス型液晶ディスプレイの駆動方法。

3. 発明の詳細な説明

〔発明の属する技術分野〕

本発明は、スイッチングトランジスタを用いたアクティブマトリックス型液晶ディスプレイの駆動方法に関する。

〔発明の技術的背景とその問題点〕

近年薄型表示装置をスイッチングトランジスタをマトリックスアレーに構成して実現する方法が注目されている。この方法は、基板上に設けられたスイッチングトランジスタマトリックスの各ド

ットに画像情報を蓄積しておき、これら画像情報をマトリックスアレー上に設けられた液晶層、E層又はEC層の各ドットに対応した位置に表示を行ない、画面を得ようとするものであり、従来の表示装置の主流であったCRTを用いた方法に比べ、原理的にはるかに薄型の表示装置が実現できる。又、CRTの表示原理がけい光物質に高エネルギーの電子を衝突させ発光させるため発光時間がミリ秒オーダーであることから、全画面が常に表示されているわけではなく、人間の視覚の残像現象を利用したものとなっており、フリッカー雑音等があり見易さに問題があった。これに対し、トランジスタマトリックスを用いた表示装置は以下に述べるように、略全時間表示しており、CRTよりも自然な画面を得ることができる。更に、CRTに比べ平坦な画面が得られること、高圧電源を必要としないこと、真空領域が必要でなく全固体装置であるため小型軽量で十分な強度が得られるなどの特徴を有する。

第4図は、トランジスタマトリックスアレーの

動作原理を示す概略図である。表示画面はたて m 本、横 n 本のマトリックス状に分割され全部で $m \cdot n$ 個の単位画素に分割されている。各マトリックスの交点 $C_{1,1}, C_{1,2}, \dots, C_{1,j}, \dots, C_{1,n}, \dots, C_{m,1}, \dots, C_{m,j}, \dots, C_{m,n}$ はスイッチングトランジスタによるメモリー回路が構成されており、各画素の画像情報が書き入れられ、この情報に従い、マトリックス回路上に用けられた LC 層の各画素に対応した領域で表示が実現されるようになっている。

具体的なメモリー回路は第5図に示されるような単純な構成のものが使用されている。これは、高精細な表示画面を得るためには、マトリックスの大きさ $m \cdot n$ は非常に大きくなるため、高歩留でマトリックス回路を作成するためには、より単純な回路が望まれるためである。第5図において、21はスイッチングトランジスタ、22は液晶層、23は画像信号を蓄積する容量である。トランジスタ21のゲートは第 i 番目の X アドレスラインに接続され、ソース電極は第 j 番目の Y アドレスラインに接続されている。 X_i アドレスライン及び Y_j ア

ドレスラインはそれぞれ $V(X_i), V(Y_j)$ の電源が接続されている。 X_i ラインにトランジスタを ON 状態にする信号が入ったとき、トランジスタ $T_{1,j}$ のチャンネルが導通し、このとき Y_j ラインに用意された画像信号が、容量 C_{23} に蓄積され、ゲート電圧 $V(X_i)$ が零の間その信号は C_{23} に記憶される。この蓄積された画像信号に対応して液晶22が駆動される。なお、 X_i ライン上のトランジスタ $T_{1,1}, T_{1,2}, \dots, T_{1,n}$ は同時に ON 状態となり、それぞれ、そのときの Y アドレスライン上に用いられた信号 $V(Y_1), V(Y_2), \dots, V(Y_n)$ が各画素回路 $C_{1,1}, C_{1,2}, \dots, C_{1,n}$ に蓄積される。同様にして X_{i+1}, X_{i+2}, \dots というふうに各 X ライン上の画像信号が次々に蓄積されていき、全画面の信号が書き込まれることになる。

第6図は、画素 $C_{1,j}, C_{i+1,j}$ における画像信号 V_{41}, V_{41+j} が蓄積容量に書き込まれるタイミングを模式的に示したものである。第6図の画像信号 $C_{1,j}, P_{i+1,j}$ において、実線が理想的な動作時におけるタイミングチャートを示している。

すなわち、画素 $C_{1,j}$ の画像信号は時間 t_{11} から書き込みが開始され、 $t_{11} + \Delta T$ において、書き込みが終了、同時間にゲート電圧 $V(X_i)$ は零となり、次に時間 t_{12} で再び $C_{1,j}$ に画像信号書き込みが行なわれるまでは、 ϕ_{1j} は画像信号 V_{41} に保持されることになる。

以上が第4図に示すトランジスタマトリックスアレーを用いた平面表示装置の動作原理である。

トランジスタの半導体材料としては、結晶、多結晶及びアモルファス状態の $Si, CdSe, Te, CdS$ 等の多結晶材料等が用いられる。特に近年では、上記マトリックスアレーの大面积化、低コスト化を実現する上で、低温プロセスで作成可能な多結晶半導体材料及びアモルファス Si 等が注目されている。

アクティブ型液晶ディスプレイパネルの大型化に伴ない、 X 及び Y 方向ラインの増加による高精細化も進んでいる。しかし、高精細化に伴ない、テレビ信号表示時にフリッカーがみられるという問題も生じてきた。この様子を模式的に示したの

が第7図である。通常テレビの映像信号41は、16.7m秒(60Hz)毎に垂直同期信号が送られてくるが、全画面映像信号は、33.3m秒 T_{frame} (30Hz) で送られ、最初のフレーム(フィールドA 16.7m秒)と次のフレームフィールドBではインターレース操作により、信号が送られてくる。この2つのフレームの映像信号は走査線数にして約500本程度ある。 X アドレス線が250本程度以下の小型アクティブマトリックス型液晶ディスプレイでは、フレームA及びフレームBの信号を、同一の X アドレスラインに書き込むことにより映像を表示することができる。更に、液晶の信頼性のため、液晶層は通常交流駆動で動作させることが望まれており、前記小型LCDではフレームAとフレームBで LC 層に印加される電界の向きを変えることにより、30Hzの交流駆動を実現している42、44。一方、 X アドレスラインが、このような駆動法ができない程多い場合、すなわち、400本あるいは500本といった数になった場合、フレームAとフレームBの映像信号は全く異なった X アドレスラ

イン、(実際には1本おきにフレームAとフレームBの信号が印加される。)に害かなくてはならない。更に、LCに上記交流駆動を行なうと、この周波数は15Hz(66.7msec)となる43、45。一般に、液晶層のリークにより、液晶層に印加されている電圧は少しずつ減少し(44.45のdecay)、コントラストが変化する。この変化は、上記15Hz(66.7msec)に対しては無視できないものであり、又、周波数15Hzは人間の視感でも十分応答できることから、このような大型パネルにおいては、フリッカーが見られるという問題があった。

〔発明の目的〕

本発明は上記の点に鑑み、フリッカーを感じられないように表示信号のフレーム周波数あるいは、それ以上の周波数で実質的に駆動されるアクティブマトリックス型液晶ディスプレイの駆動法を提供するものである。

〔発明の概要〕

映像信号が複数のフレームにわたって送られて、かつこの映像信号をそれぞれ独立したXアドレス

ライン上の表示電極に書き込むアクティブマトリックス型液晶ディスプレイにおいて、受信中の映像信号を順次アクティブマトリックス型液晶ディスプレイに表示すると同時に、アナログあるいはデジタルメモリーに記憶させる。更に、このフレームにおいて、既にメモリーに記憶しておいて、別のフレームの映像信号も液晶ディスプレイに表示する。このようにして、一フレーム内で全てのマトリックスセルが表示駆動されるようにする。次のフレームにおいても同様に全セルの表示駆動を行なうが、フレーム毎に液晶層に印加される電圧の極性を逆転させることにより、液晶層の交流駆動を行ない、実質的なフレーム周波数を従来法よりも低下させ、フリッカーを感じさせない良好な液晶表示特性を実現させている。

〔発明の効果〕

本発明によれば、外部メモリーを用いることにより従来の液晶ディスプレイパネルに何ら構造的な改良を加えることなく、表示品位の優れた画像を得ることができる。

〔発明の実施例〕

第1図に本発明による実施例を示す。第6図において、液晶ディスプレイのXアドレスラインは2つのシフトレジスタA及びBに接続され、又、Yデータラインはサンプルホールド1及び2次元CCDからなるアナログメモリーのバッファ出力に接続されている。サンプルホールド1は表示用電圧に調整された映像信号が直接入力する。一方、アナログメモリーのデータはサンプルホールド2から入力され、サンプルホールド2へは反転された映像信号が送られる。映像信号は通常のテレビ信号を用いており、全画面分のデータは垂直同期信号で分離されたフレームが2フレームで送られる。液晶ディスプレイのXアドレスライン数は480本有り、奇数アドレスライン240本はシフトレジスタAに、又、偶数アドレスライン240本はシフトレジスタBに接続される。映像信号の半分はフレームAに送られ、これらの走査線位置は奇数アドレスラインに、又、フレームBに送られる残り半分の映像信号は偶数アドレスラインに対応し

たデータである。

第1図に示す駆動回路系は第2図に示す方法にて、動作させる。まず、フレームAにおいて、アドレスラインX_iに対応したデータが送られてくる走査期間の前半分の期間シフトレジスタAからX_iに選択信号が送られると同時に、その前の走査期間中にサンプルホールドされた映像信号がY₁～Y_nに出力され、X_iアドレスライン上のスイッチングトランジスタ動作により、これら映像信号がこのX_iアドレスライン上の表示電極に書き込まれる。次に、この走査期間の後半はアナログメモリーのバッファがアクティブになり、ここからX_iに対応した映像データがY₁～Y_nに出力されると同時に、シフトレジスタBからアドレスラインX_iに選択信号が出力され、アドレスラインX_i上の表示電極にそれぞれ映像信号が書き入れられる。又、この走査期間内において、外部から送られてくるアドレスラインX_jに対応した映像信号はサンプルホールド1及び反転された映像信号として、サンプルホールド2にセットされる。

図中の \oplus 、 \ominus は液晶対向電極電位に対する極性を示す。サンプルホールド2にセットされた映像信号はCCDの2次元アナログメモリー内に取り込まれると同時に内部にメモリーされた信号も水平同期信号に同期して、転送される。メモリー内には、1フレーム分（フレームAあるいはフレームBと同じ分画）に対応した映像信号がメモリーされているため、バッファ段には次に出力すべき信号がセットされる。

なお、1つの表示電極に着目すると、フレームAでサンプルホールド1（正極性）から書き込まれたセルは、次のフレームBではアナログメモリー（負極性）から書き込まれることになり、液晶層の対向電極電位を両方の極性の信号に対し、実効的に平均0Vとなるようにしておけば、フレームAでは負バイアス、フレームBでは正バイアスとなる交流駆動が実現できる。この交流駆動は全面素子について実行される。又、この交流駆動の周波数は2フレーム（フレームA+フレームB）分の周期と等しく、これは、従来の240本のXアドレスラインをもつ小型のアクティブマトリックス型液晶ディスプレイと等しく、実効的に交流駆動の周波数を従来法の半分に減ずることができる。

第3図は本発明による別の実施例で、先のアナログメモリーの代わりに、デジタルメモリーを用い、映像信号はAD変換器を通して、2値化され、メモリーに転送される。又、所望の映像データはメモリーからDA変換器を通じて、サンプルホールド2にセットされる。基本的駆動方法は第2図と同じであり、やはり液晶の交流駆動周波数を従来の半分に減ずることが可能である。

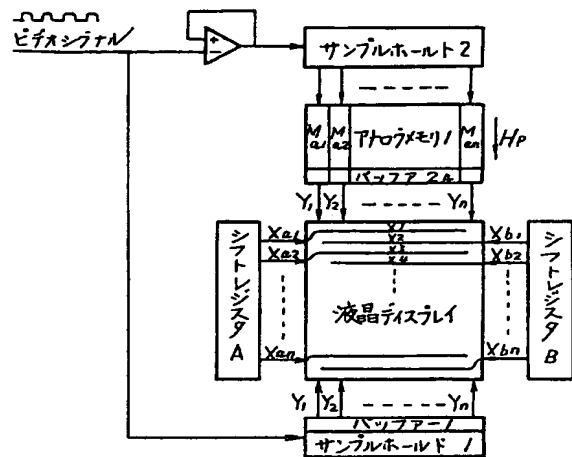
なお、本発明は上記実施例に限定されるものではない。例えば、一水平同期期間内に3本以上のXアドレスラインに書き込むことも可能でこの場合各表示電極電位の極性を常に反転させることにより実効的に液晶の交流駆動周波数をフレーム周波数よりも高くでき、液晶層を通じての表示電極電圧の低下の影響を実質的に改善でき、コントラストの高い鮮明な表示画面が得られる。この場合、CCDアナログメモリーは転送クロック周波数を

水平同期周波数よりも高くすれば良い。この方法は、小型のアクティブマトリックス型液晶ディスプレイにも応用できる。そして、より表示品位の高い画像を得ることができる。又、ビデオ信号にRGB三色の合成された信号を与えれば、カラーフィルタ等の使用によりカラー表示も可能である。

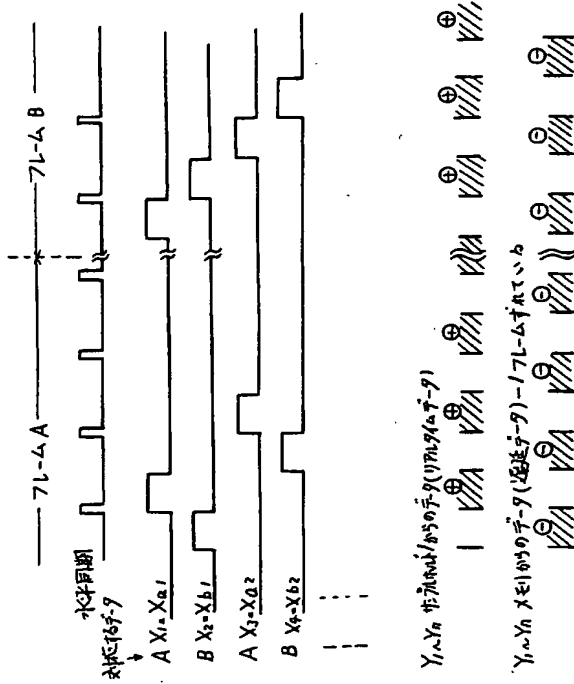
4. 図面の簡単な説明

第1図乃至第3図は本発明の実施例を説明するための図、第4図乃至第7図は従来例を説明するための図である。

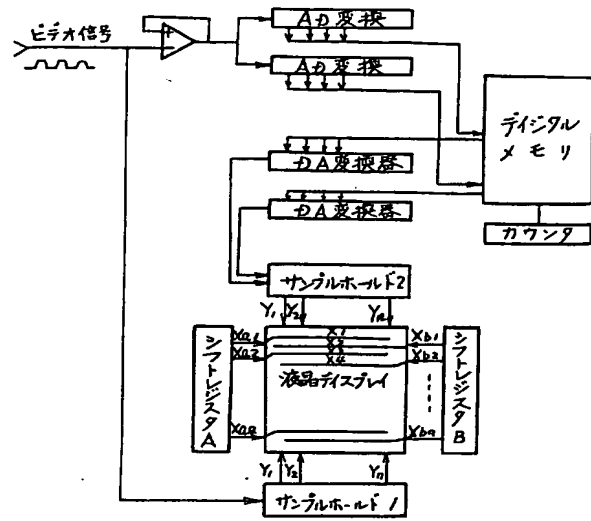
代理人 井理士 則 近 澄 佑
同 竹花 喜久 男



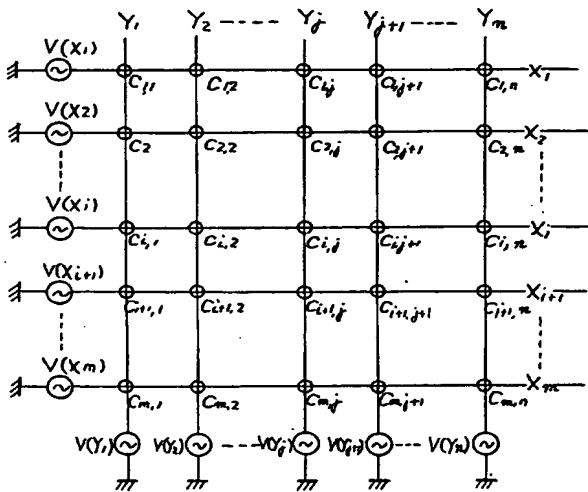
第 1 図



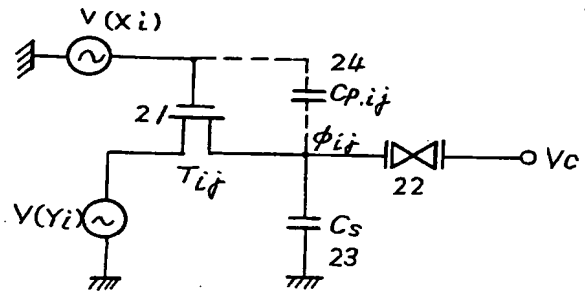
第 2 図



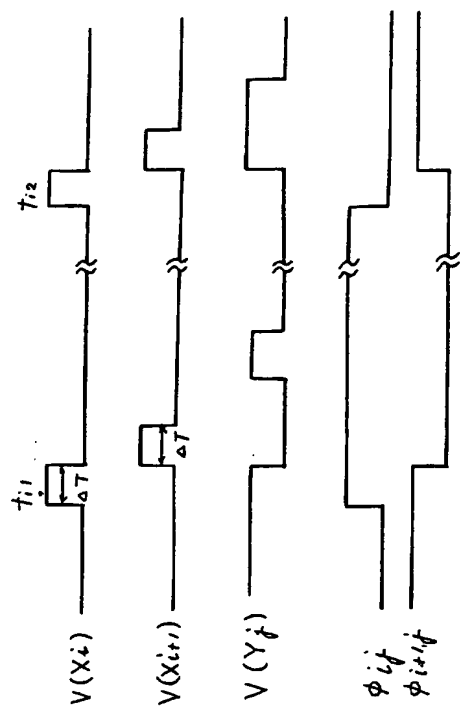
第 3 図



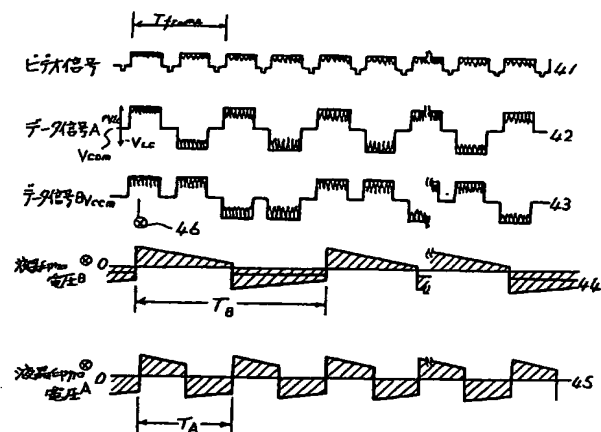
第 4 図



第 5 図



第 6 図



第 7 図

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-223728

(43)Date of publication of application : 01.10.1987

(51)Int.Cl.

G02F 1/133

G02F 1/133

G09G 3/36

H04N 5/66

(21)Application number : 61-065872

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.03.1986

(72)Inventor : SUZUKI KOJI

(54) DRIVING METHOD FOR ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY

(57)Abstract:

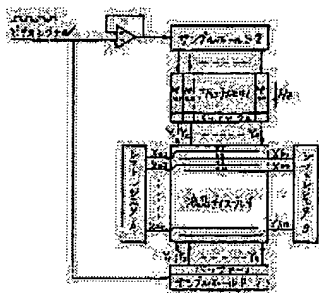
PURPOSE: To display a picture image having high quality and less tendency for generating flicker by driving plural address lines in a line sequential system, when the image data are transferred corresponding to the address line in one scanning period.

CONSTITUTION: A selecting signal is sent to a liquid crystal display X1 via a shift register A from a video signal in the first half of the scanning period.

Simultaneously, the signal which is sample-held in the scanning period is output to Y1WYn. And, the signal is written in the display electrode connected to the X1 line by the action of a switching transistor connected to the address line X1. In the latter half of the scanning period, buffer of the analog memory is activated, and the signal corresponded to the line X4 is output to Y1WYn.

Simultaneously, the video signal is stored to the display electrode connected to the line X4 by the selecting signal sent to the line X4 from the shift resistor B.

Intermittently, the signal corresponding to the address line X3 which sent from an outside is set to the sample hold 1 and the sample hold 2 as a reversed signal respectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office